

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(1)日本国特許庁 (JP)

公開特許公報 (A)

(1)日本国特許庁

特開平9-8205

(1)公明 平成9年(1997)6月1日

(5)出願人:

KOTI 23/50

類別記号 内容登録番号

F1

KOTI 23/50

表示用

23/12

23/12

-1

1

1

著者名 氏名 氏名の表示 FD 全て表示

(1)出願番号 4807-170490

(1)出願人 000002897

(2)出願日 平成7年(1995)6月14日

大日本印刷株式会社
東京都新宿区市谷本郷町一丁目1619

(3)発明者 山口 勝

東京都新宿区市谷本郷町一丁目1619

大日本印刷株式会社内

(4)共同者 佐々木 大

東京都新宿区市谷本郷町一丁目1619

大日本印刷株式会社内

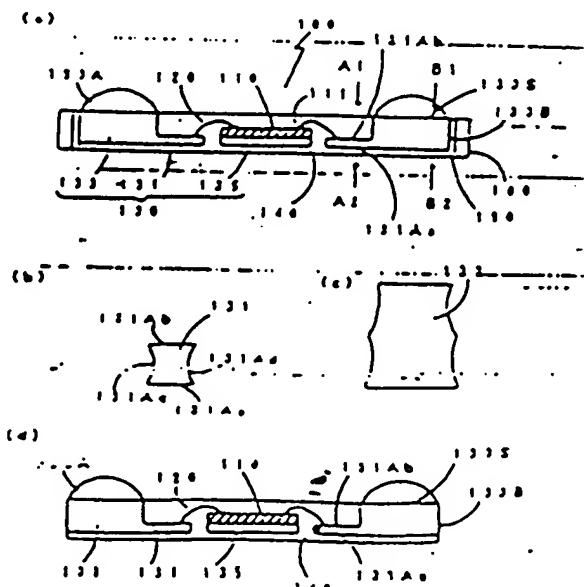
(5)代理人 斎藤士 小谷 雄貴

(3)【発明の名称】医療対応型手術体位台

(1) (要約) (参考実)

(目的) 多機能化に加えてと、且つ、アフターリードの位置ズレや干渉の問題に立ち向かうる医療対応型手術体位台を提供する。

(構成) 一般的に構成したリードフレーム本体と同じ部との外側凹部と接続するたりの部の端子部133とを有し、且つ、端子部はインナーリードの外周側においてインナーリードに対してばら方向に位置して置かれしており、端子部の先端面に半球形からなる端子部を有し、端子部を対応する外側凹部から突出させ、端子部の外側の側面を対応する外側凹部から突出させており、インナーリードは、前面部が第1面で第1面131Aa、第2面Ab、第3面Ac、第4面Adの順に並んでおり、かつ第1面はリードフレーム本体と同じ端子部の一方の面と同一平面上にあって第2面に向かっており、第3面、第4面はインナーリードの内部に向かって並んだ状態に並んでいる。



(構造部の写図)

(構造1) 2段エッチング加工によりインナーリードの底をがリードフレームミットの底よりも内側に形成されたリードフレームを用いた電子部品を示す。而花リードフレームは、リードフレーム底よりし内部のインナーリードと、インナーリードに一様に形成したリードフレームミットと同じ底との外部底板と形成するための底の電子部とを示し、且つ、電子部はインナーリードの外底部においてインナーリードに対して底を万円に固定して設けられており、電子部の元底板に電子部からなる電子部を接合、電子部を封止用接着剤から取出させ、電子部の外底部の底板を封止用接着剤から取出させており、インナーリードは、底板形状が万円で第1底、第2底、第3底、第4底の4面を有しており、かつ第1底はリードフレーム素材と同じ底との他の部分の一方の底と同一平面上にあって第2底に向かっており、第3底、第4底はインナーリードの内側に向かって凹んだ形状に形成されていることを示す。而花リードフレームは、リードフレーム素材よりも内部のインナーリードと、インナーリードに一様に形成したリードフレームミットと同じ底との外底部と形成するための底の電子部とを示し、且つ、電子部はインナーリードの外底部においてインナーリードに対して底を万円に固定して設けられており、電子部の元底板の一部を封止用接着剤から取出させて電子部とし、電子部の外底部の底板を封止用接着剤から取出させており、インナーリードは、底板形状が万円で第1底、第2底、第3底、第4底の4面を有しており、かつ第1底はリードフレーム素材と同じ底との他の部分の一方の底と同一平面上にあって第2底に向かっており、第3底、第4底はインナーリードの内側に向かって凹んだ形状に形成されていることを示す。

(構造2) 2段エッチング加工によりインナーリードの底をがリードフレームミットの底よりし内部に形成されたリードフレームを用いた電子部品を示す。而花リードフレームは、リードフレーム底よりし内部のインナーリードと、インナーリードに一様に形成したリードフレームミットと同じ底との外底部と形成するための底の電子部とを示し、且つ、電子部はインナーリードの外底部においてインナーリードに対して底を万円に固定して設けられており、電子部の元底板の一部を封止用接着剤から取出させて電子部とし、電子部の外底部の底板を封止用接着剤から取出させており、インナーリードは、底板形状が万円で第1底、第2底、第3底、第4底の4面を有しており、かつ第1底はリードフレーム素材と同じ底との他の部分の一方の底と同一平面上にあって第2底に向かっており、第3底、第4底はインナーリードの内側に向かって凹んだ形状に形成されていることを示す。

(構造3) 基本底しないしにおいて、半導体電子部はインナーリード間に嵌合し、半導体電子部の電極部は、ワイヤにてインナーリードと電気的に接続されていることを示す。而花リードフレームは、リードフレーム底よりし内部のインナーリードと、インナーリードに一様に形成したリードフレームミットと同じ底との外底部と形成するための底の電子部とを示す。

(構造4) ワイヤりにおいて、リードフレームはダイバッドを有しており、半導体電子部はダイバッド上に嵌合し、固定されていることを示す。而花リードフレームは、リードフレーム底よりし内部のインナーリードと、インナーリードに一様に形成したリードフレームミットと同じ底との外底部と形成するための底の電子部とを示す。

(構造5) 構造3において、リードフレームはダイバッドを有しないしで、半導体電子部はインナーリードとともに基板固定用テープにより固定されていることを示す。而花リードフレームは、リードフレーム底よりし内部のインナーリードと、インナーリードに一様に形成したリードフレームミットと同じ底との外底部と形成するための底の電子部とを示す。

(構造6) 基本底しないしにおいて、半導体電子部は半導体電子部の底をインナーリードの底2面

に接着せしものにより固定されており、半導体電子部の底2面はワイヤによりインナーリードの底1面と底2面に接着されていることを示す。而花リードフレームは、リードフレーム底よりし内部のインナーリードと、インナーリードに一様に形成したリードフレームミットと同じ底との外底部と形成するための底の電子部とを示す。

(構造7) 構造1ないしにおいて、半導体電子部はパンプによりインナーリードの底2面に固定されて、インナーリードとは接続していることを示す。而花リードフレームは、リードフレーム底よりし内部のインナーリードと、インナーリードに一様に形成したリードフレームミットと同じ底との外底部と形成するための底の電子部とを示す。

(実験の結果等)

(0001)

(底面との接着状況) エネルギーは電子の多さニヒにガムで、且つ、アフターリードの底面ズレ(スニーア)やアフターリードの平坦性(コブラティティ)の確認に用いできる。リードフレームを用いた電子部封止型半導体電子部に於する。

(0002)

(底面との接着状況) 底面より見いだする底面封止型の半導体電子部(プラスチックリードフレームパッケージ)

は、一般に図15(a)に示されるような状態である。

ニホンテクニカル研究所が行うたるダイバッド15110

底面の底板との底面封止型を行なうためのアフターリード

1513、アフターリード1513に一様となつた

インナーリード1512、インナーリード1511

2の底板とニホンテクニカル研究所1520の底面バッド1521

とともに底面に接続するためのワイヤ1530、半導体電子部1520を封止して外からの応力、内側から外側が底面1540面からなっており、ニホンテクニカル研究所1520モリードフレームのダイバッド15111底板に接続した後

に、底面1540面により押出してパッケージとしたもの

で、ニホンテクニカル研究所1520の底面バッド1521に外で

さうほのインナーリード1512を必要とするものである。

そして、このような底面封止型の半導体電子部の底面

底面1540面に接続するためのダイバッド15111と、ダイバッド

1511の底面に付けられた半導体電子部と接続するため

のインナーリード1512、インナーリード1512

に接続して外側底板との底面を行なうためのアフターリード1513、底面封止用のダムとなるダムバー15

14、リードフレーム1510全体を支持するフレーム

(b) 底1515を備えており、逆元、コバルト、4

25金(42ニッケル-5金-12金)、25元を含むような

底板に施された金を用い、プレスなししくはエクシグジ

グジにより形成されていた。即、図15(b)、(c)

は、図15(c)、(d)に示すリードフレーム底面のF1-F2に沿ひる底面である。

(0003) このようなリードフレームを用意した底面封止型の半導体電子部(プラスチックリードフレームパッケージ)において、電子部底の底面が小形の半元とニホンテクニカル研究所にはい、小形化かつニホンテクニ

は大化が見えて、その結果、座標拘束装置を用いて、
COFP (Quad Flat Package) 及
TOFP (Thin Quad Flat Package)
等で、リードの多ピン化が苦しくなってきました。
上記のキヤノン方式に用いられるリードフレームには、既存
のものはフォトリソグラフィー技術を用いたニッティング
法三万点により作成され、複数でないものにプレスによる
加工方法によらるが、それのが一般的であったが、この
ようなキヤノン方式の多ピン化には、リードフレーム
においても、インテリード既存の複数化が違う。即ちに、
既存のものに対しては、プレスによる打ち込み加工
によらず、リードフレーム底面の距離が0.25mm
程度のものを用い、ニッティング加工で対応してきました。こ
のニッティングは三万点の工法について以下、図14に示
いて概要に述べておく。まず、底面をもしくは42×
ニッケル-銅合金からなる底面(0.25mm厚底の底面
(リードフレーム三面1410)を十分底面(底面14
(c))した後、更クロムヒカリウムを塗布とした水
溶性カゼインレジストのフォトリジスト14-レジ
スト底の底面に同一に塗布する。(図14(d))
次いで、所定のパターンが形成されたマスクを介して
底面底面でレジスト底を露光した後、所定の露光まで
露光用レジストを昇温して(図14(c))、レジスト
パターン1430を形成して露光部を熱活性剤を含む底面をそ
ろに応じて行い、活性化第二酸水素を三つから分けて
ニッティング法にて、スプレイにて露光底(リードフレー
ム三面1410)に吹き付け既存の寸法底面にニッキン
グし、露光させた。(図14(d))
ついで、レジスト底を熱処理し(図14(e))、底
面、底面のリードフレームを用いて、ニッティング加工
を行なう。このように、ニッティングが三面によって
三面を用いたリードフレームには、更に、所定のエリアに5
箇所にあらわる。次いで、底面、底面の底面を用
いて、インテリード底を露光用の露光用ヒートボリュミド
にてチーピング処理したり、露光に応じて所定の
タブアリバーを切り加工し、ダイバッド部をダウンセ
トする処理を行う。しかし、ニッティング加工においては、ニッティング底に三面に並びこぼのる二つ
に並んで(左)方向にも追ひたり、その底面化加工に
拘束があるのが一般的で、図14に示すように、リード
フレーム底面の底面からニッティングするため、ライン
アーマー等を用いて底面、ケイン側はの底面に
底面の50~100%程度とされており、又、リ
ードフレームの底面は三面のアフターリードのたまごを有
す。一例には、その底面に約0.125mm以上
とされており、この点、図14に示すようなニッキン
グ三面の底面、リードフレームの底面を0.15
mm~0.125mm底面までなくてはならないことにより、ワ
ンデントインディングのための必要な底面を70~80μm
とし、0.165mmピンチ底面の複数のインナー
とし、0.165mmピンチ底面の複数のインナー

リード試験のエッティングによる加工を実現しておるが、これが農業とされていた。

(0005) これに加えて3万円として、アコニット=

の発達も見出したまま現在を進行方で、インテリード部分をハーフエッチングもしくはプレスにより削してエッティング加工を行う方法が現在それでいて、しかし、プレスにより削くしてエッティング加工をここでうまくには、は工場においての品質が不足する（内に、つとニアリアの不良性）「ボンティシテ」モールテンス鋼のクラップに必要なインテリードのニーズ性、アモルフスが確保されない、品質を2段行なわなければならぬ結果これが現れるにあら、不満感が多々ある。そして、インテリード部分をハーフエッチングにより削くしてエッティング加工を行う方法の場合にも、品質を2段行なわなければならず、製造工程が複雑になるという欠点があり、いずれも実用化には、まだ至っていないのが状況である。

00061

が本筋じようと下ろす是レーニガードは次回の多
元化にいインナーリードビッテが近くならぬ。是
スモスモス下る刃に、アフターリードの位置ズレ（ス
リジ）やニミズ（コブラナリチマー）の直し芝しが大
お図となってきた。本筋的には、このようなは民のも
多角化にかぶれを、且つ、アフターリードの位置
（スリジ）やニミズ（コブラナリチマー）のが置
かれてできる事は在りの段落をし上うとてらるもので

0071

をもとめてるための手足を止める方法が止みます
には、2枚エッチング加工によりインナーリードの
ガリードフレームミリのほどよりも反対側にれた加工
リードフレームを用いた半導体晶片であって、内
部でシールド、リードフレームを形成しながら成形し
ナーリードと、該インナーリードに一端的に差しし
ードフレームミリと成じばその内臓回路と伝送する
の半導体チップとを差しし、且つ、該チップにインナー
リードの内臓のにおいてインナーリードに付して印字す
て示して付けられており、該チップの元位置にキヤウ
ラニモテアルをかけ、該チップを止め置くからな
コテ足の内臓の内臓を止め置くからな
り、インナーリードに、該チップが付けてある！

面、第2面、第3面、多くはのく面を有しておる。かこ
第1面にリードフレーム三枚と同じくその他の部分の一
方の面と同一平面上にあって第2面に向かって凹ん
だ形に形成されていることを芦田とするものである。
また、二見紳の右指月持型には、2枚エンテン
グ加工によりインテーリードの底面がリードフレームと
同の底面よりも上方に加工されたリードフレームを
用いた二見指月持であって、又記リードフレームに、リ
ードフレーム底面よりも下方のインテーリードと、はイ
ンテーリードに一般的に用意したリードフレーム本体と
同じくその外周部と形成するための底面の電子部とを
示し、是れ、電子部はインテーリードの外周部において
インテーリードに対して左右方向に突出して抜けられて
おり、電子部の先端の一端を対応部材から露出させ
て電子部とし、電子部の外周部の側面を対応部材から
露出させており、インテーリードは、底面部がは方
たて第1面、第2面、第3面、第4面のく面を有してお
り、かつ第1面にリードフレーム三枚と同じく、一方
の面と同一平面上にあって第2面に向かって凹
ておる。又2面、第3面にインテーリードの内側に向か
って凹んだ部分に形成されていることを芦田とするもの
である。そして、上記において、二見指月は、インテ
ーリード前部にはヨリ...ヨニヨニ子の電子部(バッ...
ド)にワイヤにてインテーリードと電気的に接続されて
いることを芦田とするものである。また、ヨリードフレ
ームにダイパッドを示し、エボニマテにダイパッド上に
在り、固定されていることを芦田とするものであり、ヨ
リードフレームにダイパッドを有しないもの
で、エボニマテにインテーリードとともにヨニヨニ子テ
ープにより固定されていることを芦田とするものであ
る。また、上記において、二見指月は、エボニマテの
曳縄部(バッド)の底面をインテーリードの裏面に沿
接性接觸により固定されており、エボニマテの曳縄
部(バッド)にワイヤによりインテーリードのみ、こと
電気的に接続されていることを芦田とするものである。
また、上記において、二見指月は、バングによりイン
テーリードの又2面に固定され、電気的にインテーリー
ドと接続していることを芦田とするものである。又、上
記において、電子部の元底面にモロモロなる電子部を
及び、電子部を対応部材から露出させる場合、ニモ
モからなる電子部は対応部材から露出したもののが
目的であろうが、必ずしも露出する必要はない。また、エ
ボニマテの外周部の側面を対応部材から露出させて、
そのニモモいう当番もあるが、対応部材から露出さ
れて外見を有するを介して該当かと思ってしない。

て、テーピングの工数や、リードフレームを固定するクランプ工数で、ベタはにまとまるがために困った部分との位置が顯示にならざるがからるので、エッティングを行うエリアはインナーリード元の端部加工区分だけにしておきたいところである。今いて、底は57°C.、比説4.8ボーメの硬化油二段油用を用いて、スプレーは2.5kg/cm²にて、レジストパターンが形成されたりードフレームスロット1110の内底をエッティングし、ベタは(チミズ)にまとまれた第一の凹部1150のG側がリードフレーム並の約2/3程度に達した時までエッティングを止めた。(図11(d))

上記第1回目のエッティングにおいては、リードフレームスロット1110の内底から同時にエッティングを行つたが、必ずしも内底から内面にエッティングする必要はない。又本実験のように、第1回目のエッティングにおいてリードフレームスロット1110の内底から内面にエッティングする場合には、内底からエッティングすることにより、必ずとも第2回目のエッティング時間を見切つたため、レジストパターン920B側からのみの内底エッティングの場合と比べ、第1回目エッティングと第2回目エッティングのタルタル時間が短縮される。次いで、第一の凹部1150側の底にされた第一の凹部1150にエッティングを示す1180としての所エッティングなどのあるホットメルトワックス(ブレインク、テニスラバーやその他のワックス、2号MR-WB6)を、ダイコータを用いて、生着し、ベタは(チミズ)にまとまれた第一の凹部1150に埋め込んだ。レジストパターン1120A上もまたエッティングにて、底部1180にまとまれた状態とした。(図11(c))

エッティングを示す1180E、レジストパターン1120A上全面に生着する必要はないが、第一の凹部1150をさむ一端にのみ生着することにはなしう。図11(c)に示すように、第一の凹部1150とともに、第一の凹部1130B上全面にエッティングを示す1180を生着した。又本実験で使用したニッティング工具上1180は、アルカリ性の粘のワックスであるが、基本的にエッティング板に耐性があり、ニッティング時にあらゆる部位の耐候性のあるものが、だましく、特に、上記ワックスに規定されたU.V.硬化剤のものとのじゅうじてこのようにニッティング工具上1180をインナーリード元の底に生着しておいたためのパターンが生れた底の底とそれを第一の凹部1150に生じることにより、先に述べたのニッティング板に第一の凹部1150が生じさせて大きくならぬかのようにしていることにともに、不規則なニッティング加工に対しての負担を減らすことをしており、スプレー圧を高く(2.5kg/cm²以上)とすることがで、これによりニッティングが底に凹面に進行しません。この後、第2回目のニッティングを行はるベタは(チミズ)にまとまれた第二の凹部1160を元底からリードフレームスロット1110をエッティングし、又はさせ、

インナーリード元スロット111Aを示した。(図11(c))

第1回目のニッティング加工にて作成された、リードフレーム板に平行なニッティング底面は表示であるが、この底を同じ2回にインナーリード板にへこんだ状態である。次いで、既に、エッティング底面を920の内底レジスト(レジストパターン1120A-1120E)のは三を示し、インナーリード元スロット111Aがスロットされた凹部1110に示すリードフレーム1130Aを示す。エッティング底面1180とレジスト(レジストパターン1120A、1120E)の内底は示すアクリル板によりおおは三した。

(10014) 上記、図11に示すリードフレームの底面に、本実験に用いられる、インナーリード元スロットスロットに示したリードフレームをエッティング加工により作成する方法で、图1に示す、インナーリード元スロットスロット111Aを元底板の底の部分と同一底に、第2回1131Aと内底させてたれし、且つ、スロット1131Aと、スロット1131Aをインナーリードの内側に向かってせんたる底に示すニッティング加工方法である。は述べた本実験のキセキ底の内底のようにパンプモードにてキセキモードをインナーリードの第2回1131Aと内底に示すアクリル板に示す。インナーリードと本底的に接する場合に

スロット2回1131Aをインナーリード側に凹んだ形に示す。あわした方がパンプ底の内底の片が大きくなる。又、図12に示すニッティング加工方法が示される。図12に示すニッティング加工方法は、第1回目のニッティング加工にて、底11に示す方法と同じであるが、エッティング工具上1180を第二の凹部1160間に埋め込み、第一の凹部1150側から第2回目のニッティングを行ひ、底11を示す底で見なつている。底11に示す第1回目のニッティングにて、第二の凹部1140からのニッティングを充分に行っておく。図12に示すニッティング加工方法によってあらたリードフレームのインナーリード元の底面底は、図11(b)に示すように、第2回1131Aと1131Aがインナーリード側にへこんだ形になる。

(10015) 同上記111、図12に示すニッティング加工方法のよう、エッティングを2段階にわけて行うエッティング加工方法を、一筋に2段エッティング加工方法といつており、本実験に用いられた加工方法である。本実験に用いた凹部1110に示す、リードフレーム1130Aの内底に示すには、2度ニッティングが二段階、パンプモードを工夫することにより簡単にリードフレーム内底を深くしながらも底面加工をする方ほどが行つてはらされており、リードフレーム内底を深くした部分においては、内底に、角的な加工がでるようにしてある。図11、図12に示す、上記の方だにおいては、インナーリード元スロット111Aの内底加工は、第二の凹部1160の底と、最終的にはられるインナーリード元底の底と上に左右されしので、例えば、底厚150μm

まで深くすると、図11(e)に示す、半径はW1を10.0mmとして、インナーリード元又端ピッチが0.15mmまでれば加工可れとなる。底面1を30.0mm底面2まで深くし、半径はW1を7.0mm底面2とすると、インナーリード元又端ピッチが0.12mm底面2まで加工がでさるが、底面1、半径はW1のとり方次第ではインナーリード元又端ピッチ0に更に良いピッチまで加工が可能となる。ちなみに、インナーリード元又端ピッチ0を0.08mm、底面2 2.5mmで半径は4.0mm底面2まで深くできる。

(0016) このようにエッティング加工にてリードフレームを作り下の口、インナーリードの長さが短かい場合は、加工段階でインナーリードのヨレが発生しにくい場合には、底面図9(a)に示す底面のリードフレームニッティング加工にて作るが、インナーリードの長さが長く、インナーリードにヨレが発生しやすい場合には、図9(c)(イ)に示すように、インナーリード元又端から底面1と1'Bを抜け、マイグニニアード元又端底面2と2'にたれにしてあらしたものも可て、半径は底面2と2'に不必至る底面1と1'Bをプレス等によりの底面3して図9(a)に示す底面を残る。尚、前述のように、図9(c)(イ)に示すものを切削し、図9(c)(ロ)に示す形状にする際には、図9(c)(ロ)に示すように、「日本...規格のため基準テープ1-6-0-(ボリヤミドテープ)」を反対する。図9(c)(ロ)の如きで、プレス等により底面1と1'Bを切削除去するが、半径は底面2と2'にテープをつけた状態のまま、リードフレームに底面2と2'のミツバ付止部される。底面1と1'Bと底面2と2'に切削余分を示すものである。

(0017) 本実用例の半径は底面に用いられたリードフレームのインナーリード底面1と1'Bの底面形状は、図13(イ)、(ハ)に示すようになっており、ニッティング半径は1.31mm外の底面W1には底面半径で底面形状のW2より半径大きくになっており、W1、W2(内)0.04mm)、ともこの部分の底面は半円の底面W2よりも大きくなっている。このようにインナーリード元又端の底面は広くなつた底面底面であるため、どもこの二つとも半径は底面(図示せず)とインナーリード元又端13(A)とワイド12(A)-12(B)による底面(ポンディング)が美しいものとなつていうが、本実用例のはまにニッティング底面(図13(ロ)、(ハ))をポンディングとしている。即ち、13(A)はニッティング底面によろ底面、13(A)はリードフレーム半径は1.21A、1.21Bのものと当である。ニッティングニッティングがアラビの長い底面であらたり、図13(ロ)の(ハ)の場合は、内に底面(ポンディング)底面が残れる。図13(ハ)は底面1に示す加工方法にて加工されたリードフレームのインナーリード元又端13(A)と底面(図示せず)との底面(ポンディング)を示すものであるが、この場合はインナーリード元又端13(A)により底面(ポンディング)を示すものであるが、この場合は

の底面は平底ではあるが、この部分の底面元又端はべたせくとれないので、また底面とリードフレームとの間に底面(ポンディング)底面に底面(ポンディング)底面よりなる。図13(ニ)にプレス(ニッティング)によりインナーリード元又端を肉化したまにシッティング加工によりインナーリード元又端13(A)を加工したものの、ニッティング底面(図示せず)との底面(ポンディング)を示したものであるが、こ

底面にプレス底面が底面に示すように三つになつていたり、どちらの底面を用いてモール(ポンディング)しても、図11(ニ)の(イ)、(ロ)に示すようにモール(ポンディング)の底面に底面底面が近く品底面にちがつてならないことが多い。尚、13(A)へよりニイニシング底面である。

(0018) 次に実用例1の底面付止型半径を底面の工具側を示す。図3(イ)～図3(エ)は、それぞれ、に実用例1の底面付止型半径を底面の外側の底面である。図3(イ)に示す実用例1のニッティング底面は、実用例1のニッティング底面とは、ダイパッド13(S)の底面が底面なもので、ダイパッド底面13(S)が内面に底面していいうが、ダイパッド底面13(S)が内面に底面していいうことにより、底面1に比べ、底面の丸みが残れていいる。図3(ロ)に示す実用例1のニッティング底面は、底面1に示す実用例1のニッティング底面と同じく、ダイパッド底面13(S)が内面に底面していいうものであり、底面1に比べて底面の丸みが残れていいる。底面1や底面1に示す底面外とは、半径は底面1と1'の内面が真なり、ワイドポンディング面をリードフレームの底面に接している。図3(ミ)～図3(エ)(ロ)～図3(エ)(エ)に示す底面外は、それ底面1、図3(エ)に示す底面外、図3(エ)に示す底面外において、ニッティングの底面からなる底面を抜けず、底面の底面を底面底面として用いていいうものであり、粗造工法を施した底面となつていいう。

(0019) 次いで、実用例2の底面付止型半径を底面を示す。図4(イ)に示す底面2の底面付止型半径はニッティング底面であり、図4(ロ)に示す底面2の底面は、その底面2に、図4(ロ)の(ロ)の(ロ)～(ロ)におけるインナーリード底面の底面であり、図4(ロ)のB3-B4における底面底面の底面である。尚、底面2の半径は底面の内面に底面1と接する同じとなる点で、図4(ロ)に示す底面2の(ロ)に示す底面2は、210は底面底面、211は底面(ハンドル)、220はワイド、230はリードフレーム、231はリードフレーム、232は底面底面、233は底面底面、234は底面底面、240は底面底面、270は底面底面である。ニッティング底面2のニッティング底面においては、リードフレーム230はダイパッドを押さないもので、ニッティング底面210にインナーリード233と底面に底面底面底面(ハンドル)211により底面されたり、ニッティング底面211

例にキヤド220により、インテリード231の第2
面231へと表示されている。又左側2の部分も
実施例1場合と同じに、表示部を200と表示部と
の差別的な形状は、電子E233の元位置に表示された
ときはその半田からなる半面233へと表示してプリント
基板2へ表示されることにより行かれる。

(0.0.2.1) S.S (a) ~ S.S (c) に、元気児2のニ
キキモミの大きさや大きさの断面図である。図5
(a) に示すように、大きさは元気の大きさが
図5 (a) で、大きさを示す面を下側にしている。
おとづりやボンディング等モリードフレームの大きさ
に合わせて大きさで元気児2の大きさを示すとした。
(b), 図5 (c) に示す元気の大きさは、それを
元気児2の大きさとし、図5 (a) に示す大きさの三
倍をもとに置いて、その次の半日からなる段階を示す
で、段階の大きさを正確な大きさとして用いているのであ
る。段階にはなく、元気児2の大きさを示すために
に出している。テヌス等での倍率のチェックがしま
いほどとなつていて――――――――――――――――

-(0.0.2.2)-次いで、太瓦外1の左前方正面を図示する。左側に、図6 (c) は太瓦外1の左前方正面を示す。左側の左端部であり、図6 (d) は図6 (a) のA5-A6におけるインテーリード窓の左端部である。右側に、太瓦外1の左端部である。左側の左端部の左端部は太瓦外1とほぼ同じとなる。左側には左端部、310に左端部、312にパンプ、330にリードフレーム、331にインテーリード、331Aにリードフレーム、331ABに左端部、331ASに左端部、331ACに左端部、331Bに左端部、331Cに右端部、331Dに右端部、333Bに右端部、333Sに右端部、340に右端部。

以上が左方、350は再生用テープである。これを、
の場合は左方ににおいては、またはまた310に、パン
311によりインナーリード331の第2面331Aを
に固定され、最終的にインナーリード331とBRLして
いる。リードフレーム330は、図10(a)、図10
(b)に示すかたじのもので、図11に示すニッケルゲ
ニにより接着されたものを示している。図13(イ)
(ロ)に示すように、インナーリード331の左右の
W1A、W2A(約100μm)ともこの部分の幅331
万円の約のWAよりも大きくなっている。また、イン
ナーリード331の第2面331Aにはインナーリード
の内側に向かって凹んだ形状で、第1面331Aとが接
触であることより、インナーリードの表面化に際して
るとともに、インナーリード331の第2面331Aに
において、ヒズミとパンプにてその間に形成する口
には、図13(C) (D)のよう形状が似ているものと
している。また、これを内側の場合は、元モード1や次モ
ードの場合は外側に、または300とした場合との
比較的な見方は、元モード333Aが前に受けられたニッ
ケルからなるモード333Aを介してプリント基板
へ接続することにより得られる。

(0023) 天然物のニコチン含量は、ニ古内1のニコチニ古の当さとに異なり、図12に示すニッティングによくかた尼古ニ古れたヒニビフレームも風いたもの工あらが、ニコチニ古名古の尼古万度にはば同じ工度であら。是なる点に、ニ古内1のニコチニ古の当さにニコチニ古テをインナーリードに改定した結果でワイアボンディングを行ひ、充電停止していふのにガレ・エスカルノ3のニ古部品の当さに、ニコチニ古テ310をインナーリード331にパンプを介して改定して目的に改定した結果で断続充電していふのである。一方充電止ほのゲンスによるテテテテテの時、其子供の死因は、ニ古内1のニ古部品の当さと同じであら。

(0024) 区6-(d) に示す如きの場合は区6の支
支所が選定する所である。区6-(d) に示す如
きはまさに、支所が選定において、エジ
スの日からならモテ日を以て、モテ日の延長日
として算いていふものである。区6(d)を簡くしてエ
ジスのモテ日を前に突出していふとモテ
タニでのガモのチニックがしない成因となつてゐる。
にこのモテ日をモテ日を以ておこうと上
からモテ尼克し長い日を下うことを下さる。

0025) において、天王洲駅の改札口は西側を正面と
呼び、图7-(a) は天王洲駅の北側(北改札口)と南側(南
改札口)であり、图7-(b) は图7-(a) のA7-A
におけるインテリード駅の断面図で、图6-(c) に
6-(a) のB7-B8における天王洲駅の断面図であ
る。天王洲駅の三連ホームの内側は改札内1とはば
じとなる。图には示した。图7-(b) 400は千葉
大、410は東京駅、411はパンド、430は

リードフレーム、431はインテリード、431Aは第1面、431Abは第2面、431Acは第3面、431Adは第4面、433は第5面、433Aは第6面、433Bは第7面、433Sは上部面、440は右止端面等、470は地盤性接合部である。又天板内の場合は、半導体素子410のパッド311の面をモインテリード331の第2面431Abに地盤性接合部470を介して固定し、パッド411とインテリード331の第1面431Aとをワイヤ420にて電気的に接続したものである。表示するリードフレームは天板内に同じ、図10 (a)、図10 (b) に示す右端部のものを使用している。また、天板外側の場合は、天板外側1や天板外2の場合と同様に、ニコヒス端子400と外端回路との接続的な構成は、電子部430が天板面に付けられたギャップの半面からなる電子部430Aを介してプリント基板へ接続されることにより行なわれる。

(0026) 図7 (c) は、天板外4のニコヒス端子の天板外側部を示す断面図である。図7 (c) に示す天板外側部を構成する天板外4の半面は、ニコヒスのニドからなる電子部を介して、ニコヒスのニドからなる電子部を介して、ニコヒスのニドからなる電子部を介して、ニコヒスのニドとして示しているものである。接続部を黒くして電子部433の側面433Bを側面に露出している。チップ等での名前のニックがしあい構造となっている。

[0.0.2.7.]

(発明の効果) 本発明の断面封止型半導体素子には、上記のように、リードフレームを用いた断面封止型半導体素子において、多極子化が可能で、且つ、天板の厚さ1.5mm (b) に示すアワターリードを用つリードフレームを用いた場合のようにダムバーのカットエッジや、ダムバーの切削工程を必要としない。即ち、アワターリードのヌタューの問題や一平面仕上げブリッジアリティーナーの問題を克服してどちらかは必ず問題の発生を可れとしている。また、QFPやBGAに比べるとパッケージ内部の天板名が短くなるため、荷重変形が小さくなり天板歪曲抑制を強くすることを実現している。

(図版の筋道な技術)

(図1) 天板外1の断面封止型半導体素子の構造図

下図

(図3) 天板外1の断面封止型半導体素子の天板内の構造
(図4) 天板外2の断面封止型半導体素子の天板内の構造
(図5) 天板外2の断面封止型半導体素子の天板内の構造
(図6) 天板外3の断面封止型半導体素子の天板内の構造
(図7) 天板外4の断面封止型半導体素子の天板内の構造
(図8) 天板外1の断面封止型半導体素子の構造を示す説明するための図

(図9) 天板外の断面封止型半導体素子に用いられるリードフレームの図

(図10) 本発明の断面封止型半導体素子に用いられるリードフレームの図

【図11】本発明の断面封止型半導体素子に用いられるリードフレームの接合方法を説明するための図	10
【図12】本発明の断面封止型半導体素子に用いられるリードフレームの接合方法を説明するための図	
【図13】インテリードリードフレームでのワイヤボンディングの方法を示す説明するための図	
【図14】天板のリードフレームのニッティング回路を示す説明するための図	
【図15】天板封止端部を示す及び天板リードフレームの図	
(天板の形状)	
100, 200, 300, 400	
断面封止端部の位置	
110, 210, 310, 410	
各端子	
111, 211, 411	
底 (パッド)	
312	
シップ	
120, 220, 420	
イタ	
120A, 120B	
イタ	
- L21A-L21B	
22B	
130, 230, 330, 430	
ードフレーム	
131, 231, 331, 431	
シニアーリード	
131Aa, 231Aa, 331Aa, 431Aa	又
131Ab, 231Ab, 331Ab, 431Ab	又
225	
131Ac, 231Ac, 331Ac, 431Ac	又
325	
131Ad, 231Ad, 331Ad, 431Ad	又
425	
131B	
231B	
133, 233, 333, 433	又
子母	
133A, 233A, 333A, 433A	又
子母	
133B, 233B, 333B, 433B	又
5	
133S, 233S, 333S, 433S	又
コロ	
140, 240, 340, 440	又
上端部	
150	又

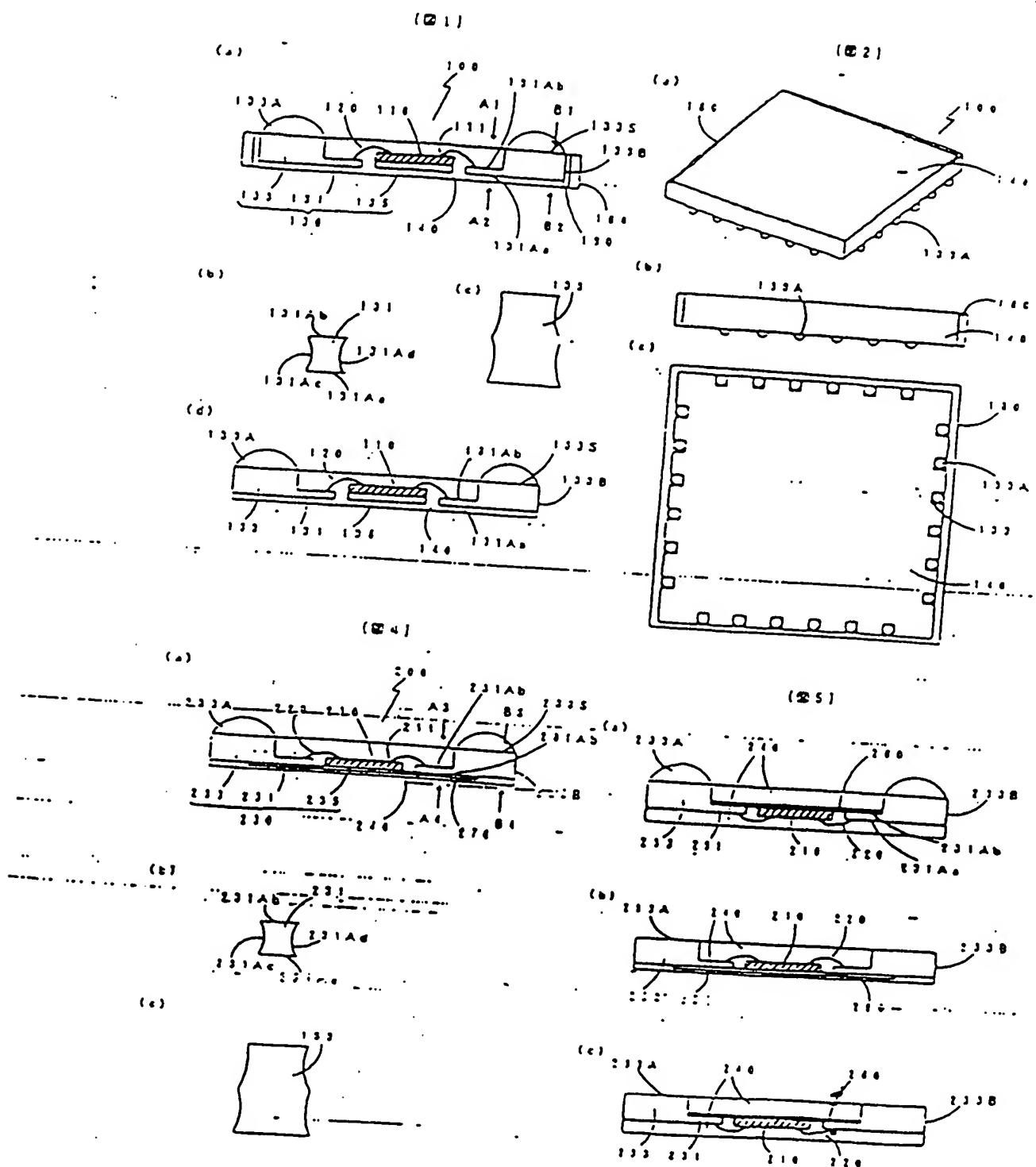
(10)

H M # 9 - 8205

500		
190	ードフレームヨコ面	
500	1331スル	
260	イニシグ面	
使用テープ	1410	
270	ードフレームヨコ面	
生産用テープ	1420	
350	オトレジスト	
使用テープ	1430	
470	ジストバーン	
品種表示	1440	
1110	ンターリード	
ードフレームヨコ	1510	
1120A, 1120B	ードフレーム	
ジストバーン	1511	
1130	イバッド	
一の端ニ面	1512	
1140	ンターリード	
二の端ニ面	1512A	
1150	ンターリード元表面	
一の凹面	1513	
1160	クターリード	
二の凹面	1514	
1170	ムバ	
端面	1515	
1180	レーム面(たて)	
ンテング面底面	1520	
1320A, 1320C, 1320D	底面	
イテ	1521	
1321B, 1321C, 1321D	底面(バッド)	
セミ	1530	
1331B, 1331C, 1331D	イテ	
ンターリード元表面	1540	
1331A	止用面	

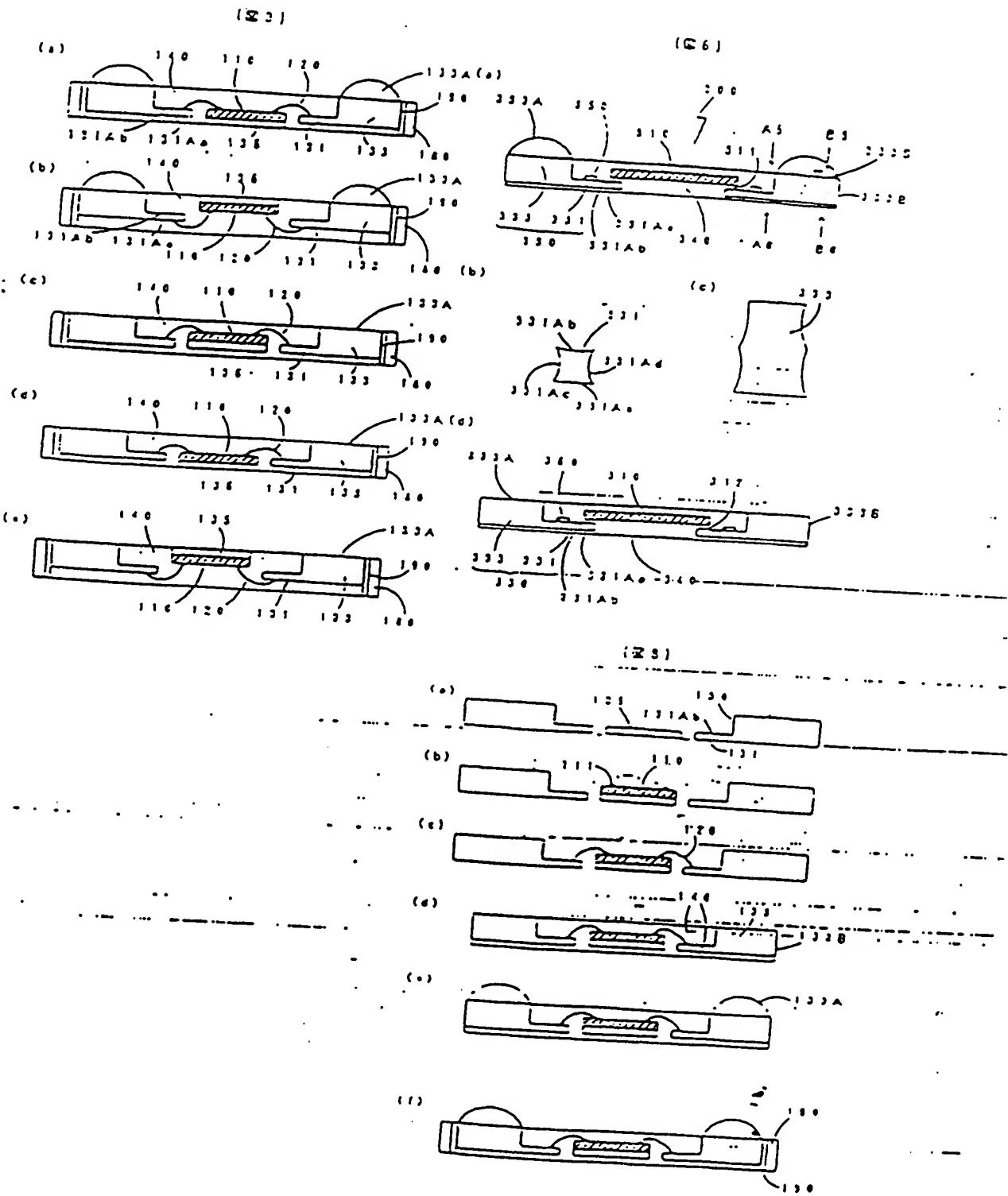
(1)

42-6220



113

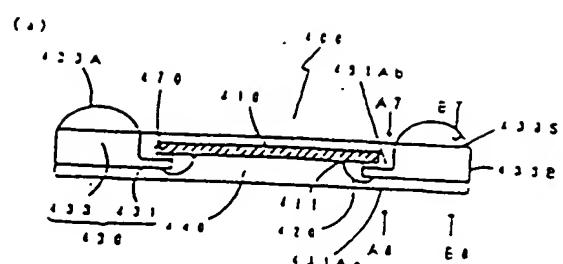
四庫子 9 - 2205



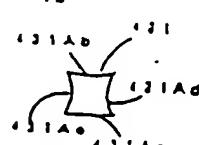
(10)

RM=9-E25

(S7)



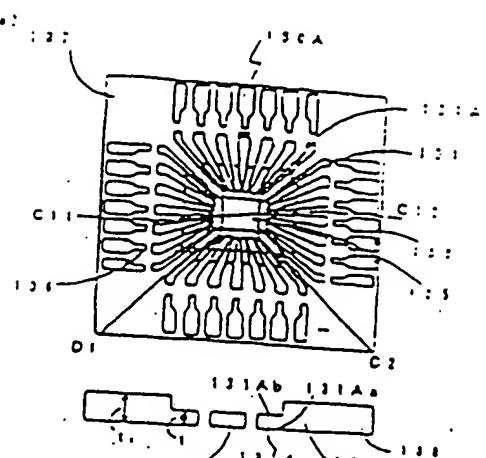
(b)



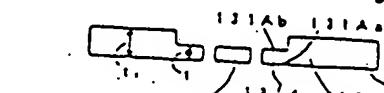
(c)



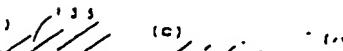
(S5)



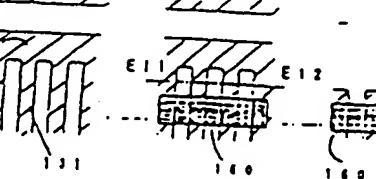
(b)



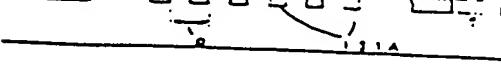
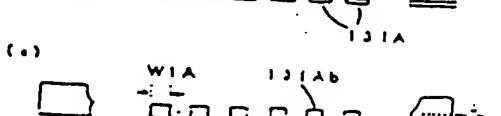
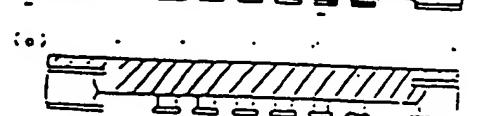
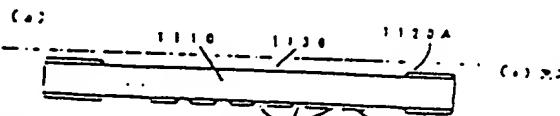
(c)



(d)



(S11)



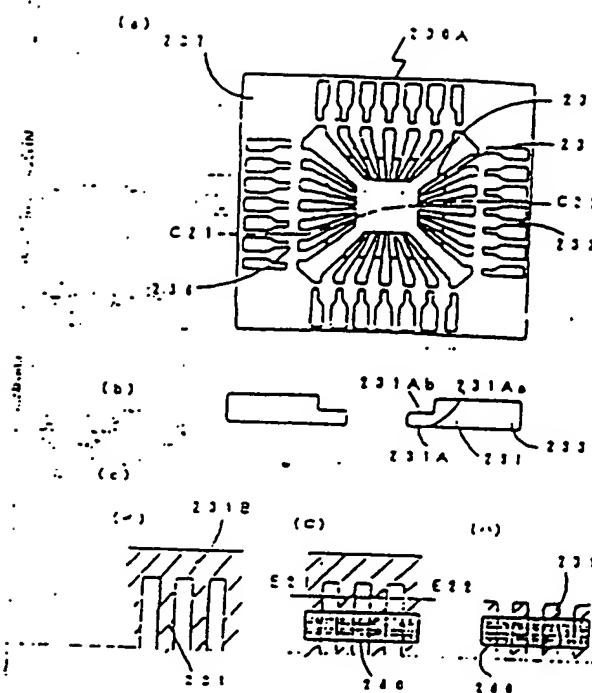
(S14)



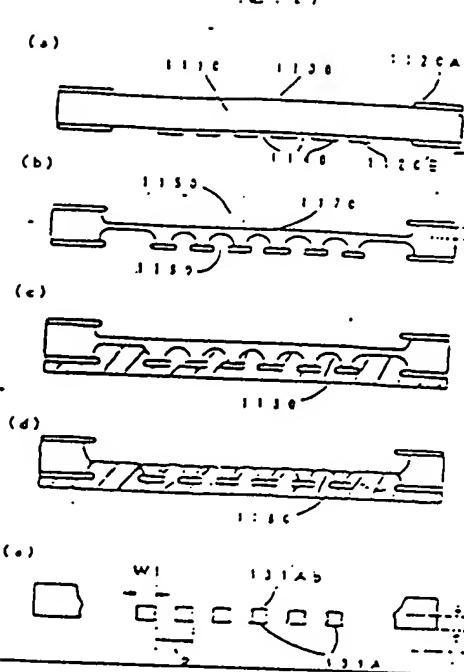
(11)

REF 9 - E 2 C 5

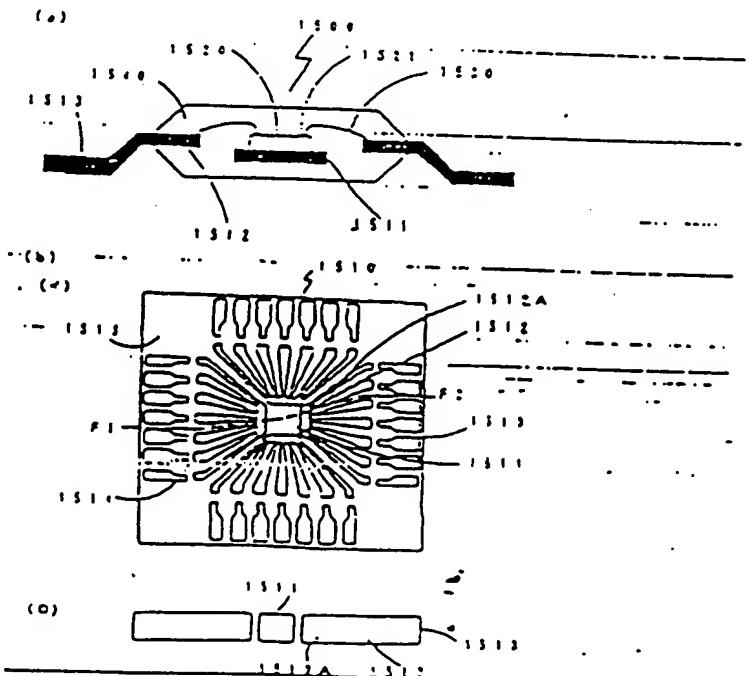
(E 10)



(E 11)



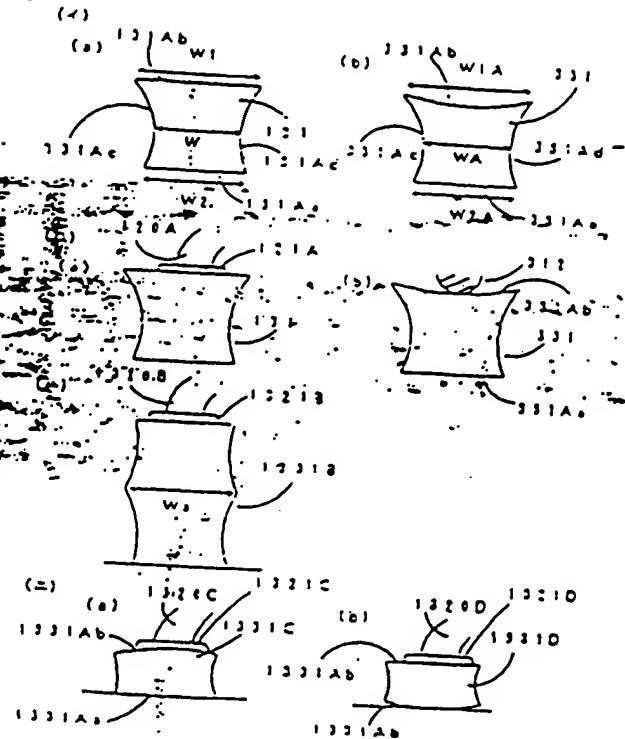
(E 15)



(13)

$$x = s - \varepsilon \cos$$

(१ : २)



Japanese Patent Laid-Open Publication No. Heisei 9-8205

(TITLE OF THE INVENTION)

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

(CLAIMS)

1. A resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank, comprising:
- inner leads having the thickness less than that of the lead frame blank; and
- terminal columns integrally connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, the terminal columns having terminal portions arranged on top ends thereof, the terminal portions being made of solders, etc. and exposed to the outside beyond a resin encapsulate, each inner lead possessing a rectangular cross-section and having four

surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

2. A resin-encapsulated semiconductor device using
10 a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank,
comprising:

15 inner leads having the thickness less than that of the lead frame blank; and

20 terminal columns integrally connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, portions of top ends of the terminal columns being exposed to the outside beyond a
25 resin encapsulate, each inner lead possessing a rectangular

cross-section and having four surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

10 3. The resin-encapsulated semiconductor device as claimed in claims 1 or 2, wherein a semiconductor chip is received inward of the inner leads, and electrodes of the semiconductor chip are electrically connected to the inner leads through wires, respectively.

15

4. The resin-encapsulated semiconductor device as claimed in claim 3, wherein the lead frame has a die pad, and the semiconductor chip is mounted onto the die pad.

20

5. The resin-encapsulated semiconductor device as claimed in claim 3, wherein the lead frame does not have a die pad, and the semiconductor chip is fastened to the inner leads using a reinforcing fastener tape.

. 25

6. The resin-encapsulated semiconductor device as

claimed in claims 1 or 2, wherein the semiconductor chip is fastened by means of insulating adhesive to the second surfaces of the inner leads on one surface thereof on which the electrodes are located, and the electrodes of the semiconductor chip are electrically connected to the first surfaces of the inner leads through wires, respectively.

7. The resin-encapsulated semiconductor device as claimed in claims 1 or 2, wherein the semiconductor chip is fastened to the second surfaces of the inner leads by bumps thereby to be electrically connected to the inner leads.

(DETAILED DESCRIPTION OF THE INVENTION)

(FIELD OF THE INVENTION)

15 The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and resolving problems which are caused in association with position shift and coplanarity of an outer lead.

20

(DESCRIPTION OF THE PRIOR ART)

FIG. 15(a) shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated 25 semiconductor device includes a die pad 1511 having a

semiconductor chip 1520 mounted thereon, outer leads 1513 to be electrically connected to the associated circuits, inner leads 1512 formed integrally with the outer leads 1513, bonding wires 1530 for electrically connecting the tips of the inner leads 1512 to the bonding pad 1521 of the semiconductor chip 1520, and a resin 1540 encapsulating the semiconductor chip 1520 to protect the semiconductor chip 1520 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor chip 1520 on the bonding pad 1521, is manufactured by encapsulating the semiconductor chip 1520 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1512 is equal to that of the bonding pads 1521 of the semiconductor chip 1520.

And, FIG. 15(b) shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in FIG. 15a. Such a lead frame includes the bonding pad 1511 for mounting the semiconductor chip, the inner leads 1512 to be electrically connected to the semiconductor chip, the outer lead 1513 which is integral with the inner leads 1512 and is to be electrically connected to the associated circuits. This also includes dam bars 1514 serving as a dam when encapsulating the semiconductor chip with the resin, and a frame 1515 serving to support the entire lead frame 1510.

Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy(a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process.

FIG. 15(b) (D) is a cross-sectional view taken along the line F1-F2 of FIG. 15(b) (I).

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame (plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad plate package(QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of

pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to FIG. 14. First, a copper alloy or 42 alloy thin sheet of a thickness on the order of 0.25 mm (a lead frame blank 1410) is cleaned perfectly (FIG. 14(a)). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1420 over the major surfaces of the thin film as shown in FIG. 14(b).

Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1430 as shown in FIG. 14(c). Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1410 to etch through portions of the thin sheet 1410 not coated with the patterned photoresist films 1420 so that inner leads of predetermined sizes and shapes are formed as shown in FIG. 14(d).

Then, the patterned resist films are removed, the patterned thin sheet 1410 is washed to complete a lead frame having the inner leads of desired shapes as shown in FIG. 14(e). Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab-bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in FIG. 14 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100% of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80 μ m for successful wire bonding. When the etching process as illustrated in FIG. 14 is employed in fabricating a lead frame, a thin sheet of a small thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the

fine tips thereof are arranged at a pitch of about 0.5 mm.

However, recent miniature resin-encapsulated semiconductor package requires inner leads arranged at pitches in the range of 0.13 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to withstand external forces that may be applied thereto during the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the lead frame by half-etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions corresponding to the inner leads by pressing; for example, the smoothness of the surface of the plated areas

is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

15 (SUBJECT MATTERS TO BE SOLVED BY THE INVENTION)

On the other hand, because a pitch among inner leads is made narrow as the number of terminals is increased, it is considered important to know whether a problem is caused or not in association with position shift or coplanarity of an outer lead when implementing a chip mounting process. Accordingly, the present invention has been made in an effort to solve the problems occurring in the related art, and an object of the present invention is to provide a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals

and resolving problems which are caused in association with position shift and coplanarity of an outer lead.

(MEANS FOR SOLVING THE SUBJECT MATTERS)

- 5 According to one aspect of the present invention there is provided a resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of the inner leads is less than that of the lead frame blank comprising: inner leads having the thickness less than that of the lead frame blank; and terminal columns interconnected to the inner leads and having the same thickness as that of the lead frame blank, the terminal columns being in a column-shaped configuration which is adapted 10 electrically connected to an external circuit, the columns being disposed outside of the inner lead frame blank in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, the terminal columns having terminal portions 15 arranged on top ends thereof, the terminal portions being made of solder, etc. and exposed to the outside being resin encapsulated, outer surfaces of the terminal portions also being exposed to the outside beyond the encapsulate, each inner lead possessing a rectangular cross-section and having four surfaces including a 20 25

surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

According to another aspect of the present invention there is provided a resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank comprising: inner leads having the thickness less than that of the lead frame blank; and terminal columns integral connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, portions of top ends of the terminal columns being exposed to the outside beyond a resin encapsulate, outer surfaces of the terminal columns also being exposed to the outside beyond the resin encapsulate, each inner lead

possessing a rectangular cross-section and having four surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

According to another aspect of the present invention, a semiconductor chip is received inward of the inner leads, and electrodes (pads) of the semiconductor chip are electrically connected to the inner leads through wires, respectively. According to another aspect of the present invention, the lead frame has a die pad, and the semiconductor chip is mounted onto the die pad. According to another aspect of the present invention, the lead frame does not have a die pad, and the semiconductor chip is fastened to the inner leads using a reinforcing fastener tape. According to still another aspect of the present invention, the semiconductor chip is fastened by means of insulating adhesive to the second surfaces of the inner leads on one surface thereof on which the electrodes are located, and the electrodes of the semiconductor chip are electrically connected to the first surfaces of the inner leads through wires, respectively. According to yet still

another aspect of the present invention, the semiconductor chip is fastened to the second surfaces of the inner leads by bumps thereby to be electrically connected to the inner leads. In the above descriptions, in the case that the terminal columns have terminal portions which are arranged on top ends of the terminal columns, with the terminal portions made of solders, etc. and exposed to the outside beyond the resin encapsulate, while it is the norm that the terminal portions comprising the solders, etc. are exposed to the outside beyond the resin encapsulate, it is not necessarily required for the terminal portions to be projected beyond the resin encapsulate. Moreover, while it is possible to use the outside surfaces of the terminal columns while they are not encapsulated by the resin encapsulate and they are exposed to the outside, the outside surfaces of the terminal columns which are not encapsulated by the resin encapsulate, can be covered by a protective frame using adhesive, etc.

20 [WORKING FUNCTIONS]

The resin-encapsulated semiconductor device in accordance with the present invention can meet a demand for an increase in the number of terminals. At the same time, in the resin-encapsulated semiconductor device, because the forming process of the outer leads as in the case of using

a mono-layered lead frame shown in FIG. 13(b) is not required, it is possible to provide a semiconductor device in which no problems are caused in association with position shift and coplanarity of the outer leads. More particularly, the use of a multi-pinned lead frame shaped in a manner that inner leads have a thickness less than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Furthermore, by using the lead frame which is fabricated by a two-step etching process as will be described later with reference to FIG. 1, the second surface of each inner lead has coplanarity, and is excellent in wire-bonding property. In addition, since the first surface of the inner lead is also a flat surface and the third and fourth surfaces are depressed toward the inside of the inner lead, the inner leads are stable and coplanarity width upon wire bonding process can be enlarged.

20

[EMBODIMENTS]

Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to the attached drawings. First,
25 a resin-encapsulated semiconductor device in accordance

with a first embodiment of the present invention described hereinafter with reference to FIGS. 1 to 3. FIG. 1(a) is a cross-sectional view of the encapsulated semiconductor device according to the embodiment of the present invention. FIG. 1(b) is a sectional view of an inner lead taken along the line of FIG. 1(a), and FIG. 1(c) is a cross-sectional view of a terminal column taken along the line S1-S2 of FIG. 1(a). Moreover, FIG. 2(a) is a perspective view of the encapsulated semiconductor device according to the embodiment of the present invention, FIG. 2(b) is a view of the resin-encapsulated semiconductor device of FIG. 2(a), and FIG. 2(c) is a bottom view of the encapsulated semiconductor device of FIG. 2(a). In FIGS. 1 and 2, a drawing reference numeral 100 represents an encapsulated semiconductor device, 110 a semiconductor chip, 111 electrodes (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 132 terminal columns, 133A terminal portions, 133B surfaces, 133S a top surface, 135 a die pad, and 136 a resin encapsulate.

In the resin-encapsulated semiconductor device according to the first embodiment, as shown in FIG. 2(a), the semiconductor chip 110 is placed inward of the lead frame 130.

leads 131. As can be readily seen from FIG. 1(a), the semiconductor chip 110 is mounted on the die pad 133 at the surface thereof which is opposed to the other surface thereof where the electrode pads 111 of the semiconductor chip 110 are arranged. Each electrode pad 111 is electrically connected to the second surface 131A of the inner lead 131 through the wire 120. The electrical connection between the resin-encapsulated semiconductor device 100 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 100 via the terminal portions 133A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 133A located on the top surfaces 133S of the terminal columns 133, respectively. In the resin-encapsulated semiconductor device of the first embodiment of the present invention, it is not necessarily required to provide a protective frame 180, and instead, a structure, as shown in FIG. 1(d), in which no protective frame is used can be adopted.

The lead frame 130 used in the semiconductor device 100 according to the first embodiment is made of a 42% nickel-iron alloy. Therefore, the lead frame 130A which has a contour as shown in FIG. 9(a) and is shaped by an etching process, is used as the lead frame 130. The lead frame 130 has inner leads 131 which are shaped to have a

thickness less than that of the terminal columns 133 or other portions. Dam bars 136 serve as a dam when encapsulating the semiconductor chip 110 with a resin. Moreover, although the lead frame 130A which is processed by etching to have the contour as shown in FIG. 1(a) is used in this embodiment, the lead frame is not limited to such a contour because portions except the inner leads 131 and the terminal columns 133 are not necessary. The inner leads 131 have a thickness of 40 mm whereas the portions 10 of the lead frame 130 other than the inner leads 131 have a thickness of 0.15 mm which corresponds to the thickness of the lead frame blank. The other portions of the lead frame 130 except the inner leads 131 may not have the thickness of 0.15 mm, but have a thickness of 0.125 mm-0.50 mm which 15 is thinner. The tips of the inner leads 131 have a small pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face 131Ab of the inner lead 131 has a substantially flat profile so as to allow an easy wire bonding thereon. Also, 20 as shown in FIG. 1(b), because the third and fourth faces 131Ac and 131Ad have a concave shape which is depressed toward the inside of the associated inner lead, a high strength can be obtained even though the second face (wire bonding surface) 131Ab is narrowed.

25 In the present embodiment, since twisting does not

occur in the inner leads 131 irrespective of whether the inner leads 131 is long or not. The inner leads having the contour, as shown in FIG. 9(a), in which the tips of the inner leads 131 are separated one from another, are prepared by the etching process, and the inner leads are resin-encapsulated after mounting the semiconductor chip thereon as will be described later. However, where the inner leads 131 are long in their length and have a tendency for the generation of twisting therein, it is impossible to fabricate the lead frame by etching to have the contour as shown in FIG. 9(a). Therefore, after etching the lead frame in a state where the tips of the inner leads are fixed to the connecting portion 131B as shown in FIG. 9(c)(1), the inner leads 131 are fixed with the reinforcing tape 160 as shown in FIG. 9(c)(□). Then, the connecting portions 131B which are not necessary in the fabrication of the resin-encapsulated semiconductor device are removed by a press as shown in FIG. 9(c)(△), and a semiconductor device is then mounted on the lead frame.

Hereinafter, a method for the fabrication of the resin-encapsulated semiconductor device will now be described with reference to FIG. 8. First, the lead frame 130A, as shown in FIG. 9(a), which is shaped by the etching process as will be described later, is prepared such that the second surfaces 131Ab of the inner leads 131 are

directed upward (FIG. 8(a)).

Then, the semiconductor chip 110 is mounted onto the die pad 135 such that the surfaces of the semiconductor chip 110 on which the electrodes 111 are arranged, are directed upward (FIG. 8(b)).

Next, after the semiconductor chip 110 is fastened onto the die pad 135, the electrodes 111 of the semiconductor chip 110 and the second surfaces 131ab of the inner leads 131 are bonded with each other using wires 110 (FIG. 8(c)).

Subsequently, encapsulation is carried out with the conventional resin encapsulate 140. Thereafter, unnecessary portions of the lead frame 130 which are protruded from the resin encapsulate 140 are cut by a press to form terminal columns 133 and also the side surfaces 133b of the terminal columns 133 (FIG. 8(d)).

Then, the dam bars 136, the frame portions 137, etc. of the lead frame 130A as shown in FIG. 9 are removed. Next, the terminal portions 133A each made of the semi-spherical solder are arranged on the outer surface of each terminal column 133 to fabricate a resin-encapsulated semiconductor device (FIG. 8(e)).

Thereafter, the protective frame 180 is arranged by means of adhesive around an entire outer surface of the resultant structure in such a manner that the side surfaces

of the terminal columns 133 are covered thereby FIG. 6(f)). At this time, the protective frame 180 functions to reinforce the semiconductor device. In other words, the protective frame 180 serves to prevent moisture from leaking into a gap between the resin encapsulate and the terminal columns due to the fact that the side surfaces of the terminal columns are exposed to the outside, whereby a crack is not formed in the semiconductor device and the breakage of the semiconductor device is avoided. However, persons skilled in the art will readily appreciate that it is not necessarily required to provide the protective frame 180. Also, when such an encapsulating process by the resin is carried out using a desired mold, the encapsulating process is implemented in a state wherein the outer side surfaces of the terminal columns of the lead frame are somewhat protruded out of the resin encapsulate.

A method for etching the lead frame of the first embodiment will now be described in conjunction with the attached drawings. FIG. 11 is of cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment. In particular, the cross-sectional views of FIG. 1 correspond to a cross section taken along the line D1-D2 of FIG. 9(a). In FIG. 11, the reference numeral 1110 denotes a lead frame blank, 1120A and 1120B resist patterns, 1130 first opening,

1140 second openings, 1150 first concave portions, 1160 second concave portions, 1170 flat surfaces, and 1180 an etch-resistant layer. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of the lead frame blank 1110 made of a 42t nickel-iron alloy and having a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 1120A and 1120B having first opening 1130 and second openings 1140, respectively 5 (FIG. II(a)).

The first opening 1130 is adapted to etch the lead frame blank 1110 to have a flat etched bottom surface to a thickness smaller than that of the lead frame blank 1110 in a subsequent process. The second openings 1140 are adapted 15 to form desired shapes of tips of inner leads. Although the first opening 1130 includes at least an area forming the tips of the inner leads 111C, a topology generated by partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a clamping process for fixing the lead frame. Thus, an area 20 to be etched needs to be large without being limited to fine portions of the tips of the inner leads. Thereafter, both surfaces of the lead frame blank 1110 formed with the resist patterns are etched using a 48 Be' ferric chloride 25 solution of a temperature of 57°C at a spray pressure of

2.5 kg/cm². The etching process is terminated at the point of time when first recesses 1150 etched to have a flat etched bottom surface have a depth h corresponding to $2/3$ of the thickness of the lead frame blank (FIG. II(c)).

5 Although both surfaces of the lead frame blank 1110 are simultaneously etched in the primary etching process, it is not necessary to simultaneously etch both surfaces of the lead frame blank 1110. The reason why both surfaces of the lead frame blank 1110 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as will be described later. The total time taken for the primary and secondary etching processes is less than that taken in the case of etching of only one surface of the lead frame blank on which the resist pattern 1120A is formed. Subsequently, the surface provided with the first recesses 1150 respectively etched at the first opening 1130 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Incotec Inc.) by a die coater to form an etch-resistant layer 1180 so as to fill up the first recesses 1150 and to cover the resist pattern 1120A (FIG. II(c)).

It is not necessary to coat the etch-resistant layer 1180 over the entire portion of the surface provided with the resist pattern 1120A. However, it is preferred that the etch-resistant layer 1180 be coated over the entire

portion of the surface formed with the first recesses and first opening 1130, as shown in FIG. 11(c), because it is difficult to coat the etch-resistant layer 1180 on the surface portion including the first recesses.

5 Although the etch-resistant layer 1180 wax employed in this embodiment is an alkali-soluble wax, any suitable etch-resistant material resistant to the etching action of the etchant solution remaining somewhat soft during etching may be used.

10 For forming the etch-resistant layer 1180 is not limited to the above-mentioned wax, but may be a wax of a UV-seal type. Since each first recess 1130 etched by the primary etching process at the surface formed with the pattern is adapted to form a desired shape of the inner lead to be filled up with the etch-resistant layer 1180, it is further etched in the following secondary etching process.

15 The etch-resistant layer 1180 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in direction of the thickness of the lead frame blank in the secondary etching process. Then, the lead frame blank

20

25

subjected to a secondary etching process. In this secondary etching process, the lead frame blank 1110 is etched at its surface formed with first recesses 1150 having a flat etched bottom surface, to completely 5 perforate the second recesses 1160, thereby forming the tips of inner leads 131A (FIG. 11(d)).

The bottom surface 1170 of each recess formed by the primary etching process is flat. However, both side surfaces of each recess positioned at opposite sides of the 10 bottom surface 1170 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After completion of the cleaning process, the etch-resistant layer 1180, and resist films (resist patterns 1120A and 1120B) are sequentially removed. Thus, 15 a lead frame 130A having a structure of FIG. 9(a) is obtained in which tips of the inner leads 131A are arranged at a fine pitch. The removal of the etch-resistant layer 1180 and resist films (resist patterns 1120A and 1120B) is achieved using a sodium hydroxide solution serving to 20 dissolve them.

The processes for manufacturing the lead frame as shown in FIG. 11, is to form by means of etching the lead frame having the tips of the inner leads used in this embodiment of the present invention, which have a thickness 25 less than that of the lead frame. Especially, the first

surfaces 131Aa of the tips of the inner leads as shown in FIG. 1, are flushed with one surfaces of remaining portions of the inner leads having the same thickness with the lead frame while being opposed to the second surfaces 131Ab, and the third and fourth surfaces are formed to have a concave shape which is depressed toward the inside of the inner leads. Where a semiconductor chip is mounted on the second surfaces 131Ab of the inner leads by means of bumps for an electrical connection therebetween, as in a semiconductor device according to a third embodiment as will be described hereinafter, an increased tolerance for the connection by bumps is obtained when the second surface 131Ab has a concave shape depressed toward the inside of the inner lead. To this end, an etching method shown in FIG. 12 is adopted in this case. The etching method shown in FIG. 12 is the same as that of FIG. 11 in association with its primary etching process. After completion of the primary etching process, the etching method is conducted in a manner different from that of the etching method of FIG. 11 in that the second etching process is conducted at the side of the first recesses 1150 after filling up the second recesses 1160 by the etch-resist layer 1180, thereby completely perforating the second recesses 1160. At this time, by implementing the primary etching process, etching at the side of the second openings 1140 is performed in a

sufficient manner. The cross section of each inner lead, including its tip, formed in accordance with the etching method of FIG. 12, has a concave shape depressed towards the inside of the inner lead at the second surface 131Ab, as shown in FIG. 6(b).

The etching method in which the etching process is conducted at two separate steps, respectively, as in that of FIGs. 11 and 12, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130A of the first embodiment shown in FIG. 9 involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In particular, the etching method makes it possible to achieve a desired fineness. In accordance with the method illustrated in FIGS. 11 and 12, the fineness of the tip of each inner lead 131A formed by this method is dependent on the shape of the second recesses 1160 and the thickness t of the inner lead tip which is finally obtained. For example, where the blank has a thickness t reduced to 50 μm , the inner leads can have a fineness corresponding to a lead width W_1 of 100 μm and a tip pitch p of 0.15 mm, as shown in FIG. 11(e). In the case of using a small blank thickness t of about 30 μm and a lead

width W_1 of 70 μm , it is possible to form inner leads having a fineness corresponding to an inner lead pitch p of 0.12 μm . Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness t and the lead width W_1 . That is to say, an inner lead tip pitch p up to 0.08 μm , a blank thickness up to 25 μm , and a lead width W_1 up to 40 μm can be obtained.

In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in FIG. 9(a) can be directly obtained. However, where the inner leads are long in length as compared to those of the first embodiment, the inner leads have tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state where the tips of the inner leads are bound to each other by a connecting member 131B as shown in FIG. 9(c)(1). Then, the connecting member 131B which is not necessary for the fabrication of a semiconductor package is cut off by means of a press to obtain a lead frame shaped as shown in FIG. 9(a).

Moreover, as described above, where unnecessary portions in a structure shown in FIG. 9(c)(1) are cut to obtain the lead frame having the contour shown in FIG.

9(a), a reinforcing tape 160 (a polyimide tape is generally used, as shown in FIG. 9(c)(A)). While the connecting member 131B is cut off by means of a press to obtain the contour shown in FIG. 9(c)(D), a semiconductor device is mounted on the lead frame still having the reinforcing tape attached thereto. Also, the mounted semiconductor device is encapsulated with a resin in a condition where the lead frame still has the tape. The line E11-E12 illustrates a cut portion.

10 The tip of the inner lead 131 of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in FIG. 13(1)(a). The tip 131A has an etched flat surface (second surface) 131AB which is substantially flat and therefore has a width W_1 slightly greater than the width W_2 of an opposite surface. The widths W_1 and W_2 (about 1000 μm) are more than the width W at the central portion of the tips when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily electrically connected to a semiconductor device (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as shown in FIG. 13(D)(a). In FIG. 13, a reference numeral

131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, and 121A and 121B, respectively, a plated portion. In the case of FIG. 13(B)(a), there has particularly excellent in wire-bonding property, because the etched flat surface does not have roughness. FIG. 13('') shows that the tip 1331B of the inner lead of the lead frame fabricated according to the process illustrated in FIG. 14 is wire-bonded to a semiconductor device. In this case, however, both the opposite surfaces of the tip 10 1331B of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite surfaces of the tip 1331B is formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared 15 to that of the etched flat surface of this first embodiment. FIG. 13(=) shows that the inner lead tip 1331C or 1331D, obtained by thinning in its thickness by a means of a press (coining) and then by etching, is wire-bonded to a semiconductor device (not shown). In this 20 case, however, a pressed surface of the inner lead tip is not flat as shown FIG. 13(=). Thus, the wire-bonding on either of the opposite surfaces as shown in FIG. 13(=)(a) or FIG. 13(=)(b) often results in an insufficient wire-bonding stability and a problematic quality. The drawing 25 reference numeral 1331Ab represents a coining surface.

A modified example of the resin-encapsulated semiconductor device in accordance with the first embodiment of the present invention will be described hereinafter. FIGS. 3(a) through 3(e) are cross-sectional views of the modified example of the resin-encapsulated semiconductor device in accordance with the first embodiment of the present invention. The semiconductor device of the modified example as shown in FIG. 3(a), is different from that of the first embodiment in that a position of the die pad 135 is changed, that is, the die pad 135 is exposed to the outside. By the fact that the die pad 135 is exposed to the outside, the heat dissipation property is improved as compared to the first embodiment. Also, in the semiconductor device of the modified example as shown in FIG. 3(b), because the die pad 135 is exposed to the outside, the heat dissipation property is improved as compared to the first embodiment. Unlike the first embodiment or the modified example as shown in FIG. 3(a), in the present modified example as shown in FIG. 3(b), because a direction of the semiconductor device 110 is changed, the first surfaces of the lead frame are established as the wire bonding surfaces. The modified examples as shown in FIGS. 3(c), 3(d) and 3(e), illustrate semiconductor devices which are obtained by modifying the semiconductor devices of the first embodiment, the modified

example as shown in FIG. 3(a) and the modified example as shown in FIG. 3(b), wherein the semi-spherical solders are not used, and instead, the top surfaces of the terminal columns are directly used as the terminal portions, whereby an entire manufacturing procedure can be simplified.

Next, a resin-encapsulated semiconductor device in accordance with a second embodiment of the present invention will be described. FIG. 4(a) is a cross-sectional view of the resin-encapsulated semiconductor device in accordance with the second embodiment of the present invention, FIG. 4(b) is a cross-sectional view illustrating inner leads, taken along the line A3-A4 of FIG. 4(a), and FIG. 4(c) is a cross-sectional view illustrating a terminal column, taken along the line B3-B4 of FIG. 4(a). Because an outer appearance of the semiconductor device of the second embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 3, the drawing reference numeral 200 represents a semiconductor device, 210 a semiconductor chip, 211 electrodes (pads), 220 wires, 230 a lead frame, 231 inner leads, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B side surfaces, 233S top surfaces, 240 a resin encapsulate, and 270 a reinforcing fastener tape. In the semiconductor device of

this second embodiment, the lead frame 230 does not have a die pad, the semiconductor chip 210 is fastened to the inner leads 231 by the reinforcing fastener tape 270, and the semiconductor chip 210 is electrically connected at its electrodes (pads) 211 to the second surfaces 231ab of the inner leads 231 by wires 220. Also, in the case of this second embodiment, similarly to the first embodiment, the electrical connection between the resin-encapsulated semiconductor device 200 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 200 via the terminal portions 233A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 233A located on the top surfaces 233S of the terminal columns 233, respectively.

In addition, the semiconductor device of this second embodiment does not have a die pad as shown in FIGs. 10(a) and 10(b). The manufacturing method of the semiconductor device of this embodiment using the lead frame 230A which is shaped by the etching process is substantially the same as that of the first embodiment except that, while in the case of the first embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip is fastened to the inner leads, in the case of the second embodiment, the wire

bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip 210 is fastened together with the inner leads 231 by the reinforcing fastener tape 260. Also, the cutting process 5 for the unnecessary portions and the terminal portion forming process after resin encapsulating process are implemented in the same way as the first embodiment. The lead frame 230 as shown in FIG. 10(a) is obtained in the same manner by which the lead frame 130A as shown in FIG. 10(b)(a) is obtained. In other words, by cutting the resultant structure obtained after etching the structure as shown in FIG. 10(c)(1), the contour as shown in FIG. 10(a) is obtained. At this time, the conventional reinforcing fastener tape 260 (the polyimide tape) as shown in FIG. 10(c)(□), which performs a reinforcing function is used.

FIG. 5(a) through 5(c) are cross-sectional views illustrating modified examples of the semiconductor device of the second embodiment. The semiconductor device as shown in FIG. 5(a) is different from the semiconductor device of the second embodiment, in that the surface of the semiconductor chip thereof which has the electrodes is directed downward. The modified examples as shown in FIGS. 5(b) and 5(c), illustrate semiconductor devices which are obtained by modifying the semiconductor devices of the second embodiment and the modified example as shown in FIG. 25

5(a), wherein the semi-spherical solders are not used, and instead, the top surfaces of the terminal columns are directly used as the terminal portions. In these examples, because a protective frame is not used and the side 5 surfaces 333B of the terminal columns 333 are exposed to the outside, a checking operation by a test, etc. can be easily performed.

Hereinafter, a resin-encapsulated semiconductor device in accordance with a third embodiment of the present invention will be described. FIG. 6(a) is a cross-sectional view of the resin-encapsulated semiconductor device of the third embodiment, FIG. 6(b) is a cross-sectional view illustrating inner leads, taken along the line A5-A6 of FIG. 6(a), and FIG. 6(c) is a cross-sectional view illustrating a terminal column, taken along the line B5-B6 of FIG. 6(b). Because an outer appearance of the semiconductor device of this third embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 6, the drawing reference numeral 300 represents a semiconductor device, 310 a semiconductor chip, 312 bumps, 330 a lead frame, 331 inner leads, 331Aa a first surface, 331Ab a second surface, 331Ac a third surface, 331Ad a fourth surface, 333 terminal columns, 333A terminal portions, 333B side surfaces, 333S top surfaces, 340 a resin encapsulate, and 350 a

reinforcing fastener tape. In the semiconductor device of this third embodiment, the semiconductor chip 310 is fastened to the second surfaces 331Ab of the inner leads 331 by the bumps 311 thereby to be electrically connected to the second surfaces 331Ab. The lead frame 330 has a contour as shown in FIGs. 10(a) and 10(b), which is formed by the etching process of FIG. 11. As shown in FIG. 13(1)(b), both widths W1A and W2A (about 100 μ m) at top and bottom ends of the inner leads 331 are larger than a width WA at a center portion in a thickness-wise direction. Due to the fact that the second surfaces 331Ab of the inner leads 331 is depressed toward the inside of the inner leads and the first surfaces 331Aa are flat, a desired fineness can be obtained. Also, when the second surfaces 331Ab of the inner leads 331 are electrically connected to the semiconductor chip via bumps, easy connection can be accomplished as shown in FIG. 13(□)(b). Further, in the case of this third embodiment, as in the case of the first and second embodiments, the electrical connection between the resin-encapsulated semiconductor device 300 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 300 via the terminal portions 333A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 333A located on the top surfaces of the terminal

columns 333, respectively.

In addition, unlike the semiconductor device of the first embodiment, the semiconductor device of this third embodiment uses a lead frame which is shaped by the etching process as shown in FIG. 12. However, the manufacturing method of the semiconductor device of this embodiment is substantially the same as that of the first embodiment except that, while in the case of the first embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip is fastened to the inner leads, in the case of this third embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip 310 is fastened to the inner leads 331 via the bumps. Also, the cutting process for the unnecessary portions and the terminal portion forming process after resin encapsulating process are implemented in the same way as the first embodiment.

FIG. 6(d) is a cross-sectional view illustrating a modified example of the semiconductor device in accordance with the third embodiment of the present invention. In the modified example of the semiconductor device as shown in FIG. 6(d), the terminal portions each comprising the semi-spherical solder are not provided, and the top surfaces of the terminal columns are directly used as the terminal

portions. Because the protective frame is not used and the side surfaces 333B of the terminal columns 333 are exposed to the outside, a checking operation by a test, etc. can be easily performed.

5 Hereinafter, a resin-encapsulated semiconductor device in accordance with a fourth embodiment of the present invention will be described. FIG. 7(a) is a cross-sectional view of the resin-encapsulated semiconductor device of the fourth embodiment, FIG. 7(b) is a cross-sectional view illustrating inner leads, taken along the line A7-A8 of FIG. 7(a), and FIG. 7(c) is a cross-sectional view illustrating a terminal column, taken along the line B7-B8 of FIG. 7(b). Because an outer appearance of the semiconductor device of this fourth embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 7, the drawing reference numeral 400 represents a semiconductor device, 410 a semiconductor chip, 411 pads, 430 a lead frame, 431 inner leads, 431Aa a first surface, 431Ab a second surface, 431Ac a third surface, 431Ad a fourth surface, 433 terminal columns, 433A terminal portions, 433B side surfaces, 433S top surfaces, 440 a resin encapsulate, and 470 insulating adhesive. In the semiconductor device of this fourth embodiment, one surface of the semiconductor chip 410 on which the pads 411 are disposed is fastened to the second

surfaces 431Ab of the inner leads 431 by the insul.
adhesive 470, and the pads 411 and the first surfaces .
of the inner leads 431 are electrically connected with
other by wires 420. The semiconductor device of
5 fourth embodiment uses the same lead frame which is use
the third embodiment, which has the contour as shown
FIG. 10(a) and 10(b). Also, in the case of this fe
embodiment, as in the case of the first and sec
embodiments, the electrical connection between the res
10 encapsulated semiconductor device 400 of this embodim
and an external circuit is achieved by mounting the res
encapsulated semiconductor device 400 via the termin
portions 433A each being made of a semi-spherical solder
on a printed circuit substrate, with the terminal portio
15 433A located on the top surfaces of the terminal colum
433, respectively.

FIG. 7(d) is a cross-sectional view illustrating
modified example of the semiconductor device in accordanc
with the fourth embodiment of the present invention. ;
20 the modified example of the semiconductor device as show
in FIG. 7(d), the terminal portions each comprising th
semi-spherical solder are not provided, and the to
surfaces of the terminal columns are directly used as the
terminal portions. Because the protective frame is not
25 used and the side surfaces 433B of the terminal columns 433

are exposed to the outside, a checking operation by a test, etc. can be easily performed.

(EFFECTS OF THE INVENTION)

5 The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number. Furthermore, the resin-encapsulated semiconductor device in accordance with this invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in FIG. 13(b). As a result of this, the resin-encapsulated semiconductor device does not have a problem in that the outer leads are bent, or a problem associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a parasitic capacity, and shortened in a transfer delay time.

55:543 v:

55:543 v1